


WEST**End of Result Set** **Generate Collection** **Print**

L2: Entry 1 of 1

File: JPAB

Oct 11, 1996

PUB-NO: JP408264784A

DOCUMENT-IDENTIFIER: JP 08264784 A

TITLE: MANUFACTURE OF FIELD-EFFECT SEMICONDUCTOR DEVICE

PUBN-DATE: October 11, 1996

INVENTOR-INFORMATION:

NAME

COUNTRY

KUROKAWA, ATSUO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SONY CORP

APPL-NO: JP07094412

APPL-DATE: March 28, 1995

INT-CL (IPC): H01 L 29/78; H01 L 21/336; H01 L 21/265

ABSTRACT:

PURPOSE: To manufacture a field-effect semiconductor device wherein dererioration of characteristics over time is little, the life is long, and a short channel effect is restrained.

CONSTITUTION: A gate electrode is formed of a tapered polycrystalline Si film 23, and a diffusion layer region 25 is formed by slant rotation ion-implantation of impurities using the polycrystalline Si film 23 as a mask. Thereby, the diffusion layer region 25 can be formed as far as the part below the polycrystalline Si film 23, and the implantation ratio to an SiO₂ film 26 out of hot carriers becomes low. An effective channel length 28 can be made long without changing the width of the resist 24 in the channel direction.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-264784

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336			21/265	V
21/265			29/78	3 0 1 L

審査請求 未請求 請求項の数2 F D (全 4 頁)

(21)出願番号 特願平7-94412

(22)出願日 平成7年(1995)3月28日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 黒川 敏雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

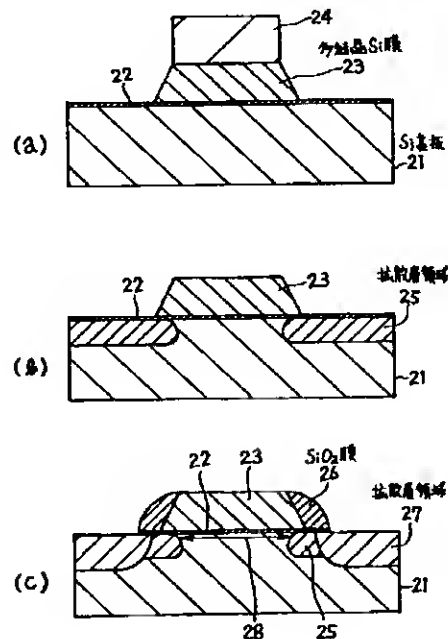
(74)代理人 弁理士 土屋 勝

(54)【発明の名称】 電界効果型半導体装置の製造方法

(57)【要約】

【目的】 特性の経時的劣化が少なく寿命が長く且つ短チャネル効果も抑制された電界効果型半導体装置を製造する。

【構成】 テーパー形状の多結晶Si膜23でゲート電極を形成し、多結晶Si膜23をマスクにした不純物の斜め回転イオン注入で拡散層領域25を形成する。このため、拡散層領域25を多結晶Si膜23下にまで形成することができ、ホットキャリアのうちでSiO₂膜26に注入される割合が低くなる。しかも、チャネル長方向におけるレジスト24の幅を変更することなく実効チャネル長28を長くすることができる。



【特許請求の範囲】

【請求項1】 ゲート電極をマスクにして半導体基板に不純物を導入して相対的に低濃度の第1の拡散層領域を形成し、前記ゲート電極とこのゲート電極に設けた絶縁性の側壁とをマスクにして前記半導体基板に不純物を導入して相対的に高濃度の第2の拡散層領域を形成する電界効果型半導体装置の製造方法において、

少なくとも前記半導体基板側の基部におけるチャンネル長方向の幅が前記半導体基板から離間するにつれて狭くなっている前記ゲート電極を形成する工程と、

前記ゲート電極をマスクにした不純物の斜め回転イオン注入で前記第1の拡散層領域を形成する工程とを具備することを特徴とする電界効果型半導体装置の製造方法。

【請求項2】 ポリサイド層で前記ゲート電極を形成し、

前記ポリサイド層のうちの多結晶Si膜を前記基部にすることを特徴とする請求項1記載の電界効果型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、LDD構造の電界効果型半導体装置の製造方法に関するものである。

【0002】

【従来の技術】図3は、本発明の第1従来例で製造したLDD構造のMOSトランジスタを示している。この第1従来例では、Si基板11の表面にゲート酸化膜としてのSiO₂膜12を形成し、このSiO₂膜12上の多結晶Si膜13等でゲート電極を形成する。

【0003】その後、多結晶Si膜13をマスクにした不純物のイオン注入等で低濃度の拡散層領域14をSi基板11に形成し、SiO₂膜15等から成る絶縁性の側壁を多結晶Si膜13に設ける。そして、多結晶Si膜13とSiO₂膜15とをマスクにした不純物のイオン注入等で高濃度の拡散層領域16をSi基板11に形成する。

【0004】図4は、本発明の第2従来例で製造したLDD構造のMOSトランジスタを示している。この第2従来例でも、多結晶Si膜13をマスクにした不純物のイオン注入及びその後の熱拡散等で低濃度の拡散層領域17を多結晶Si膜13下にまで広げることを除いて、上述の第1従来例と実質的に同様の工程を実行する。

【0005】

【発明が解決しようとする課題】ところで、MOSトランジスタの微細化に伴う短チャネル効果のうちのソース／ドレイン間のパンチスルーを防止するためには、Si基板11の不純物濃度を高くして、ドレインからの空乏層の拡がりを抑制する必要がある。しかし、ドレインからの空乏層の拡がりを抑制すると、この空乏層内における電界が高くなって、ホットキャリアの発生が多くなる。

【0006】ところが、図3に示した第1従来例で製造したMOSトランジスタでは、拡散層領域14がSiO₂膜15下にしか位置していないので、ホットキャリアのうちでSiO₂膜15に注入される割合が高く、閾値電圧や相互コンダクタンス等の特性の経時的劣化が速くて、寿命が10⁵秒程度しかなかった。

【0007】これに対して、図4に示した第2従来例で製造したMOSトランジスタでは、拡散層領域17が多結晶Si膜13下にまで広がっているため、ホットキャリアのうちでSiO₂膜15に注入される割合が第1従来例で製造したMOSトランジスタより低く、閾値電圧や相互コンダクタンス等の特性の経時的劣化が遅くて、寿命が10⁷秒程度まで向上している。

【0008】しかし、この第2従来例で製造したMOSトランジスタでは、拡散層領域17が多結晶Si膜13下にまで広がっているために、図3と図4との比較からも明らかな様に、第1従来例で製造したMOSトランジスタよりも実効チャンネル長18が短い。

【0009】このため、短チャネル効果を無視することができなくなり、短チャネル効果を抑制しつつ特性の経時的劣化を遅くして寿命を長くするためには、多結晶Si膜13をパターニングするためのリソグラフィのマスクの幅を広くする必要があり、これではMOSトランジスタを微細化することができない。

【0010】

【課題を解決するための手段】請求項1の電界効果型半導体装置の製造方法は、ゲート電極をマスクにして半導体基板に不純物を導入して相対的に低濃度の第1の拡散層領域を形成し、前記ゲート電極とこのゲート電極に設けた絶縁性の側壁とをマスクにして前記半導体基板に不純物を導入して相対的に高濃度の第2の拡散層領域を形成する電界効果型半導体装置の製造方法において、少なくとも前記半導体基板側の基部におけるチャンネル長方向の幅が前記半導体基板から離間するにつれて狭くなっている前記ゲート電極を形成する工程と、前記ゲート電極をマスクにした不純物の斜め回転イオン注入で前記第1の拡散層領域を形成する工程とを具備することを特徴としている。

【0011】請求項2の電界効果型半導体装置の製造方法は、ポリサイド層で前記ゲート電極を形成し、前記ポリサイド層のうちの多結晶Si膜を前記基部にすることを特徴としている。

【0012】

【作用】本発明による電界効果型半導体装置の製造方法では、ゲート電極をマスクにした不純物の斜め回転イオン注入で拡散層領域を形成しているため、この拡散層領域をゲート電極下にまで形成することができる。

【0013】一方、ゲート電極の少なくとも基部におけるチャンネル長方向の幅を半導体基板から離間するにつれて狭くしているため、ゲート電極の最も狭い部分をリソ

グラフィのマスクに合わせて形成すれば、ゲート電極の基部におけるチャネル長方向の幅をリソグラフィのマスクの幅よりも広くすることができる。

【0014】また、ゲート電極の少なくとも基部におけるチャネル長方向の幅を半導体基板から離間するにつれて狭くしているので、この電界効果型半導体装置の上層に積層させる膜の段差被覆性がよくて平坦性が高く、上層配線の加工等が容易である。

【0015】

【実施例】以下、MOSTランジスタの製造に適用した本発明の第1及び第2実施例を、図1、2を参照しながら説明する。図1が、第1実施例を示している。この第1実施例では、図1(a)に示す様に、Si基板21の表面を熱酸化して、この表面にゲート酸化膜としてのSiO₂膜22を形成する。

【0016】その後、多結晶Si膜23等をCVD法で堆積させ、フォトリソグラフィでゲート電極のパターンのレジスト24を多結晶Si膜23上に形成する。そして、このレジスト24をマスクにして、条件を最適化した異方性エッチングを多結晶Si膜23に施して、多結晶Si膜23をテーパ形状に加工する。このときのテーパ角としては、多結晶Si膜23の高さを150nm程度とすると、Si基板21の法線に対する角度が15〜25°程度がよい。

【0017】次に、図1(b)に示す様に、レジスト24を除去してから、多結晶Si膜23をマスクにした不純物の斜め回転イオン注入で低濃度の拡散層領域25をSi基板21に形成する。このときの斜め回転イオン注入は、図1(b)からも明らかな様に、多結晶Si膜23下で且つ多結晶Si膜23から離間した深さまで拡散層領域25を形成するために、既述の一従来例における拡散層領域14を形成するためのイオン注入よりも高エネルギーで行う。

【0018】次に、図1(c)に示す様に、SiO₂膜26等の絶縁膜を全面に堆積させ、SiO₂膜26の全面をエッチバックして、このSiO₂膜26から成る側壁を多結晶Si膜23に設ける。そして、多結晶Si膜23とSiO₂膜26とをマスクにした不純物のイオン注入で高濃度の拡散層領域27をSi基板21に形成する。

【0019】以上の様な第1実施例で製造したMOSTランジスタでは、不純物の斜め回転イオン注入で多結晶Si膜23下まで拡散層領域25を形成しているが、多結晶Si膜23をテーパ形状にしているので、実効チャネル長28は図3に示した第1従来例の場合と同等程度であり図4に示した第2従来例の場合の実効チャネル長18よりも長い。

【0020】しかも、この様に実効チャネル長28を長くしているが、多結晶Si膜23をテーパ形状にしているので、図1(a)からも明らかな様に、チャネル長

方向におけるレジスト24の幅は図3、4に示した第1及び第2従来例よりも長くする必要がない。

【0021】図2は、本発明の第2実施例で製造したMOSTランジスタを示している。この第2実施例も、多結晶Si膜31とタングステンシリサイド膜32とのポリサイド層33でゲート電極を形成し且つタングステンシリサイド膜32は垂直形状に加工し多結晶Si膜31のみをテーパ形状に加工することを除いて、図1に示した第1実施例と実質的に同様の工程を実行する。そして、この第2実施例でも、第1実施例と同様の作用効果を奏することができる。

【0022】なお、以上の第1及び第2実施例は、MOSTランジスタの製造に本発明を適用したものであるが、MOSTランジスタ以外の電界効果型半導体装置の製造にも本発明を当然に適用することができる。

【0023】

【発明の効果】本発明による電界効果型半導体装置の製造方法では、拡散層領域をゲート電極下まで形成することができるので、ホットキャリアのうちゲート電極に注入される割合が高くなり絶縁性の側壁に注入される割合が低くなって、特性の経時的劣化が少なくて寿命が長い電界効果型半導体装置を製造することができる。

【0024】しかも、ゲート電極の基部におけるチャネル長方向の幅をリソグラフィのマスクの幅よりも広くすることができるので、リソグラフィのマスクの幅を変更することなく実効チャネル長を長くして、短チャネル効果も抑制された電界効果型半導体装置を製造することができる。

【0025】また、この電界効果型半導体装置の上層に積層させる膜の段差被覆性がよくて平坦性が高く、上層配線の加工等が容易であるので、この電界効果型半導体装置を高い歩留りで製造することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を工程順に示すMOSTランジスタの側断面図である。

【図2】本発明の第2実施例で製造したMOSTランジスタの側断面図である。

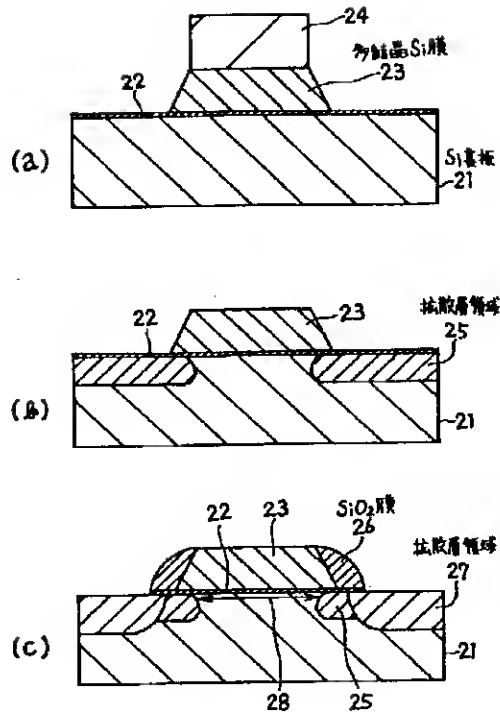
【図3】本発明の第1従来例で製造したMOSTランジスタの側断面図である。

【図4】本発明の第2従来例で製造したMOSTランジスタの側断面図である。

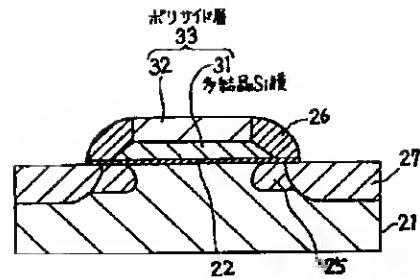
【符号の説明】

- 21 Si基板
- 23 多結晶Si膜
- 25 拡散層領域
- 26 SiO₂膜
- 27 拡散層領域
- 31 多結晶Si膜
- 33 ポリサイド層

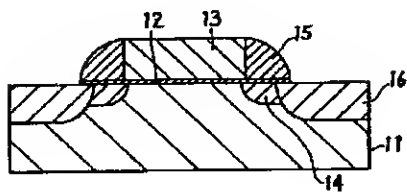
【図1】



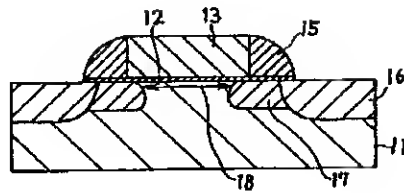
【図2】



【図3】



【図4】



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the manufacture method of the electric field effect type semiconductor device of LDD structure.

[0002]

[Description of the Prior Art] Drawing 3 shows the MOS transistor of the LDD structure manufactured in the 1st conventional example of this invention. At this 1st conventional example, it is SiO₂ as a gate oxide film to the front face of the Si substrate 11. A film 12 is formed and it is this SiO₂. A gate electrode is formed in the polycrystal Si film 13 grade on a film 12.

[0003] Then, the diffusion layer field 14 low-concentration with the ion implantation of the impurity which used the polycrystal Si film 13 as the mask etc. is formed in the Si substrate 11, and it is SiO₂. The insulating side attachment wall which consists of film 15 grade is prepared in the polycrystal Si film 13. And the polycrystal Si film 13 and SiO₂ The high-concentration diffusion layer field 16 with the ion implantation of the impurity which used the film 15 as the mask etc. is formed in the Si substrate 11.

[0004] Drawing 4 shows the MOS transistor of the LDD structure manufactured in the 2nd conventional example of this invention. Also in this 2nd conventional example, the same process is substantially performed with the above-mentioned 1st conventional example except for extending the diffusion layer field 17 low-concentration by the ion implantation of the impurity which used the polycrystal Si film 13 as the mask, subsequent thermal diffusion, etc. even under the polycrystal Si film 13.

[0005]

[Problem(s) to be Solved by the Invention] By the way, in order to prevent the punch through between the source/drain of the short channel effects accompanying detailed-izing of an MOS transistor, it is necessary to make high high impurity concentration of the Si substrate 11, and to suppress the flare of the depletion layer from a drain. However, if the flare of the depletion layer from a drain is suppressed, the electric field in this depletion layer will become high, and a hot generation of carriers will increase.

[0006] However, at the MOS transistor manufactured in the 1st conventional example shown in drawing 3, the diffusion layer field 14 is SiO₂. Since it is located only under a film 15, it is SiO₂ among hot carriers. The rate poured into a film 15 is high, with-time degradation of properties, such as a threshold voltage and a mutual conductance, is quick, and a life is 105. There was only a second grade.

[0007] On the other hand, since the diffusion layer field 17 spreads out even under the polycrystal Si film 13 in the MOS transistor manufactured in the 2nd conventional example shown in drawing 4, it is SiO₂ among hot carriers. The rate poured into a film 15 is lower than the MOS transistor manufactured in the 1st conventional example, with-time degradation of properties, such as a threshold voltage and a mutual conductance, is slow, and a life is 107. It is improving to a second grade.

[0008] However, in the MOS transistor manufactured in this 2nd conventional example, since the diffusion layer field 17 spreads out even under the polycrystal Si film 13, the effective channel length 18 is shorter than the MOS transistor manufactured in the 1st conventional example so that clearly also from comparison with drawing 3 and drawing 4.

[0009] For this reason, in order to make with-time degradation of a property late and to lengthen a life, it becoming impossible to disregard a short channel effect, and suppressing a short channel effect, it is necessary to make large width of face of the mask of the lithography for carrying out patterning of the polycrystal Si film 13, and, now, an MOS transistor cannot be made detailed.

[0010]

[Means for Solving the Problem] The manufacture method of the electric field effect type semiconductor device of a claim 1 Use a gate electrode as a mask, introduce an impurity into a semiconductor substrate, and the 1st low-concentration diffusion layer field is formed relatively. In the manufacture method of the electric field effect type semiconductor device which uses as a mask the insulating side attachment wall prepared in the aforementioned gate electrode and this gate electrode, introduces an impurity into the aforementioned semiconductor substrate, and forms the 2nd high-concentration diffusion layer field relatively The process which forms the aforementioned gate electrode which is narrow as the width of face of the direction of channel length in the base by the side of the aforementioned semiconductor substrate estranges from the aforementioned semiconductor substrate at least, It is characterized by providing the process which forms the diffusion layer field of the above 1st with the slanting rotation ion implantation of the impurity which used the aforementioned gate electrode as the mask.

[0011] The manufacture method of the electric field effect type semiconductor device of a claim 2 forms the aforementioned gate electrode in a polycide layer, and is characterized by making the polycrystal Si film of the aforementioned polycide layers into the

forementioned base.

[0012]

[Function] By the manufacture method of the electric field effect type semiconductor device by this invention, since the diffusion layer field is formed with the slanting rotation ion implantation of the impurity which used the gate electrode as the mask, this diffusion layer field can be formed even in the bottom of a gate electrode.

[0013] On the other hand, since it narrows as the width of face of the direction [in / a base / at least] of channel length of a gate electrode is estranged from a semiconductor substrate, if the narrowest portion of a gate electrode is formed according to the mask of lithography, width of face of the direction of channel length in the base of a gate electrode can be made larger than the width of face of the mask of lithography.

[0014] Moreover, since it narrows as the width of face of the direction [in / a base / at least] of channel length of a gate electrode is estranged from a semiconductor substrate, the level difference covering nature of the film which carries out a laminating to the upper layer of this electric field effect type semiconductor device is good, flat nature is high, and processing of the upper wiring etc. is easy.

[0015]

[Example] Hereafter, the 1st and 2nd examples of this invention applied to manufacture of an MOS transistor are explained, referring to drawing 1 and 2. Drawing 1 shows the 1st example. In this 1st example, as shown in drawing 1 (a), the front face of the Si substrate 21 is oxidized thermally, and it is SiO₂ as a gate oxide film to this front face. A film 22 is formed.

[0016] Then, polycrystal Si film 23 grade is made to deposit in CVD, and the resist 24 of the pattern of a gate electrode is formed on the polycrystal Si film 23 by the photolithography. And this resist 24 is used as a mask, anisotropic etching which optimized conditions is given to the polycrystal Si film 23, and the polycrystal Si film 23 is processed into a taper configuration. As a taper angle at this time, when the height of the polycrystal Si film 23 is set to about 150nm, about 15-25 degrees has a good angle to the normal of the Si substrate 21.

[0017] Next, as shown in drawing 1 (b), after removing a resist 24, the diffusion layer field 25 low-concentration with the slanting rotation ion implantation of the impurity which used the polycrystal Si film 23 as the mask is formed in the Si substrate 21. the slanting rotation ion implantation at this time is clear also from drawing 1 (b) -- as -- the bottom of the polycrystal Si film 23 -- and in order to form the diffusion layer field 25 even in the depth estranged from the polycrystal Si film 23, it carries out by the high energy rather than the ion implantation for forming the diffusion layer field 14 in the 1 conventional example as stated above

[0018] Next, it is SiO₂ as shown in drawing 1 (c). The insulator layer of film 26 grade is made to deposit on the whole surface, and it is SiO₂. Etchback of the whole surface of a film 26 is carried out, and it is this SiO₂. The side attachment wall which consists of a film 26 is prepared in the polycrystal Si film 23. And the polycrystal Si film 23 and SiO₂ The high-concentration diffusion layer field 27 with the ion implantation of the impurity which used the film 26 as the mask is formed in the Si substrate 21.

[0019] In the MOS transistor manufactured in the 1st above example, although the diffusion layer field 25 is formed even in the bottom of the polycrystal Si film 23 with the slanting rotation ion implantation of an impurity, since the polycrystal Si film 23 is made into the taper configuration, the effective channel length 28 is longer than the effective channel length 18 in the case of the 2nd conventional example which are the case of the 1st conventional example shown in drawing 3, and an equivalent grade, and was shown in drawing 4.

[0020] the [and / the 1st which showed the width of face of the resist 24 in the direction of channel length to drawing 3 and 4 so that clearly also from drawing 1 (a) since the polycrystal Si film 23 was made into the taper configuration, although effective channel length 28 was lengthened at this appearance, and] -- it is not necessary to make it longer than the 2 conventional example

[0021] Drawing 2 shows the MOS transistor manufactured in the 2nd example of this invention. Except for this 2nd example also forming a gate electrode in the polycide layer 33 of the polycrystal Si film 31 and the tungsten silicide film 32, and processing the tungsten silicide film 32 into a perpendicular configuration, and processing only the polycrystal Si film 31 into a taper configuration, the same process is substantially performed with the 1st example shown in drawing 1. And the same operation effect as the 1st example can be done so also in this 2nd example.

[0022] In addition, although the above examples [the 1st and 2nd] apply this invention to manufacture of an MOS transistor, naturally they can apply this invention also to manufacture of electric field effect type semiconductor devices other than an MOS transistor.

[0023]

[Effect of the Invention] By the manufacture method of the electric field effect type semiconductor device by this invention, since a diffusion layer field can be formed even in the bottom of a gate electrode, the rate injected into a gate electrode among hot carriers becomes high, the rate injected into an insulating side attachment wall becomes low, and an electric field effect type semiconductor device with a life there is little with-time degradation of a property and long can be manufactured.

[0024] And since width of face of the direction of channel length in the base of a gate electrode can be made larger than the width of face of the mask of lithography, effective channel length can be lengthened without changing the width of face of the mask of lithography, and the electric field effect type semiconductor device with which the short channel effect was also suppressed can be manufactured.

[0025] Moreover, since the level difference covering nature of the film which carries out a laminating to the upper layer of this electric field effect type semiconductor device is good, flat nature is high and processing of the upper wiring etc. is easy, this

electric field effect type semiconductor device can be manufactured by the high yield.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional side elevation of an MOS transistor showing the 1st example of this invention in order of a process.

[Drawing 2] It is the sectional side elevation of the MOS transistor manufactured in the 2nd example of this invention.

[Drawing 3] It is the sectional side elevation of the MOS transistor manufactured in the 1st conventional example of this invention.

[Drawing 4] It is the sectional side elevation of the MOS transistor manufactured in the 2nd conventional example of this invention.

[Description of Notations]

21 Si Substrate

23 Polycrystal Si Film

25 Diffusion Layer Field

26 SiO₂ Film

27 Diffusion Layer Field

31 Polycrystal Si Film

33 Polycide Layer

[Translation done.]